

特長

- 20MHzの帯域幅
- 75V/μsのスループレート
- 75Ωケーブルで±10Vドライブ
- 5mAの静止電流
- 1μF以上の容量性負荷をドライブ可能
- 電流および熱制限
- 4.5V以上の単一電源で動作可能
- 低歪み動作
- 8ピン・ミニDIP、プラスチックT0-220、および3mm×3mm×0.75mm小型8ピンDFNパッケージ

アプリケーション

- オペアンプ出力のブースト
- 容量性負荷の分離
- 長いケーブルのドライブ
- オーディオ・アンプ
- ビデオ・アンプ
- 小型モータへの給電
- 動作電源
- FETドライバ

概要

LT[®]1010は高速のユニティ・ゲイン・バッファであり、現在使用しているICのオペアンプの出力能力を1桁以上増加させます。容量性負荷に対してあまり敏感ではないので使いやすく、また高精度の直流アンプの熱帰還が低減されます。

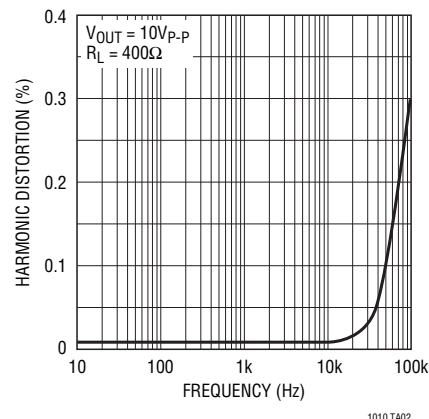
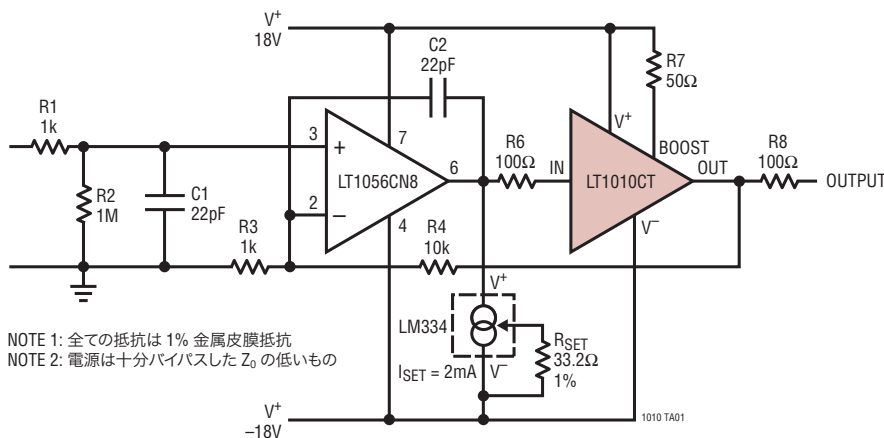
このバッファは帰還ループに組み込むように設計されているので、ほぼすべてのリアクティブ負荷を分離できます。速度は1本の外付け抵抗で改善できます。内部の動作電流は基本的には電源電圧範囲に影響されません。単一電源動作も可能です。

このモノリシックICは8ピンのミニDIPおよび8ピンDFNパッケージで供給されます。熱抵抗の低いパワー・パッケージは動作接合温度を低下させるのに役立ちます。

LT、LT、LTCおよびLTMはリニアテクノロジー社の登録商標です。その他の全ての商標の所有権は、それぞれの所有者に帰属します。

標準的応用例

非常に低歪みのバッファ付きプリアンプ



LT1010

絶対最大定格

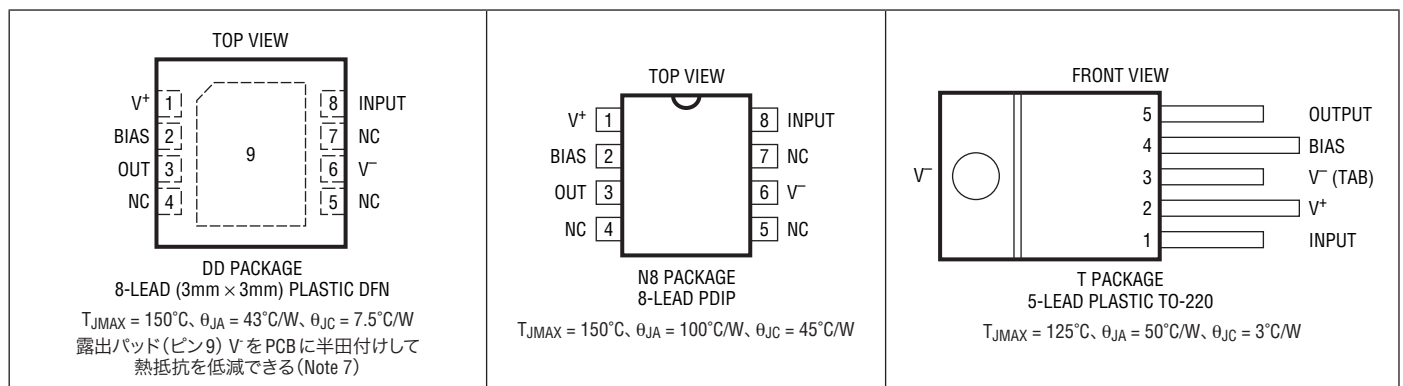
(Note 1)

総電源電圧.....	±22V
連続出力電流 (Note 2)	±150mA
入力電流 (Note 3)	±40mA
接合部温度範囲	
LT1010C.....	0°C ~ 125°C
保存温度範囲.....	-65°C ~ 150°C
リード温度 (半田付け、10 秒)	300°C

前処理

100% サーマルリミット・バーンイン - LT1010CT

ピン配置



発注情報

鉛フリー仕様	テープアンドリール	製品マーキング	パッケージ	温度範囲
LT1010CDD#PBF	LT1010CDD#TRPBF	LBWZ	8-Lead (3mm × 3mm) Plastic DFN	0°C to 100°C
LT1010CN8#PBF	LT1010CN8#TRPBF	LTC1010CN8	8-Lead PDIP	0°C to 100°C
LT1010CT#PBF	LT1010CT#TRPBF	LTC1010CT	5-Lead Plastic TO-220	0°C to 100°C
鉛ベース仕様	テープアンドリール	製品マーキング	パッケージ	温度範囲
LT1010CDD	LT1010CDD#TR	LBWZ	8-Lead (3mm × 3mm) Plastic DFN	0°C to 100°C
LT1010CN8	LT1010CN8#TR	LTC1010CN8	8-Lead PDIP	0°C to 100°C
LT1010CT	LT1010CT#TR	LTC1010CT	5-Lead Plastic TO-220	0°C to 100°C

廃品パッケージ

更に広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。

鉛フリー仕様の製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。

テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

電気的特性

●は全温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 4 参照。標準値は曲線を参照)

SYMBOL	PARAMETER	CONDITIONS (Note 4)	MIN	TYP	MAX	UNITS
V_{OS}	Output Offset Voltage	(Note 4)	0		150	mV
			-20		220	mV
		$V_S = \pm 15\text{V}, V_{IN} = 0\text{V}$	20		100	mV
I_B	Input Bias Current	$I_{OUT} = 0\text{mA}$	0		250	μA
		$I_{OUT} \leq 150\text{mA}$	0		500	μA
			0		800	μA
A_V	Large-Signal Voltage Gain		0.995		1.00	V/V
R_{OUT}	Output Resistance	$I_{OUT} = \pm 1\text{mA}$	5		10	Ω
		$I_{OUT} = \pm 150\text{mA}$	5		10	Ω
					12	Ω
	Slew Rate	$V_S = \pm 15\text{V}, V_{IN} = \pm 10\text{V}, V_{OUT} = \pm 8\text{V}, R_L = 100\Omega$	75			V/ μs
V_{SOS}^+	Positive Saturation Offset	$I_{OUT} = 0$ (Note 5)			1.0	V
					1.1	V
V_{SOS}^-	Negative Saturation Offset	$I_{OUT} = 0$ (Note 5)			0.2	V
					0.3	V
R_{SAT}	Saturation Resistance	$I_{OUT} = \pm 150\text{mA}$ (Note 5)			22	Ω
					28	Ω
V_{BIAS}	Bias Terminal Voltage	$R_{BIAS} = 20\Omega$ (Note 6)	700		840	mV
			560		880	mV
I_S	Supply Current	$I_{OUT} = 0, I_{BIAS} = 0$			9	mA
					10	mA

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的の損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

Note 2: 電力損失は熱抵抗に基づいて判断する必要がある。詳細については「アプリケーション情報」を参照。

Note 3: 電流制限または熱制限では、入出力の差が8Vを超えると入力電流が急激に増加するため、入力電流を制限する必要がある。入力電圧が V^+ より8V高くなった場合、または V^- より0.5V低くなった場合にも入力電流は急激に上昇する。

Note 4: 注記がない限り、仕様は $4.5\text{V} \leq V_S \leq 40\text{V}, V^- + 0.5\text{V} \leq V_{IN} \leq V^+ - 1.5\text{V}, I_{OUT} = 0$ の場合に適用される。温度範囲は $0^\circ\text{C} \leq T_C \leq 100^\circ\text{C}$ である。

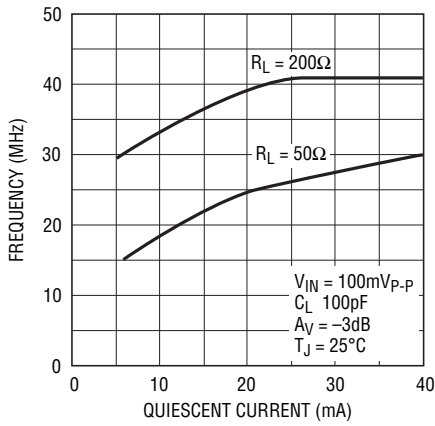
Note 5: 出力の飽和特性は100mVの出力クリッピングによって測定する。可能な出力振幅および所要の負荷に対する入力ドライブ要件は「アプリケーション情報」を参照。

Note 6: 出力段の静止電流はBIASピンと V^+ 間に抵抗を接続することで大きくすることができる。増加量は、バイアス端子電圧をその抵抗で割った値に等しい。

Note 7: 熱抵抗はデバイスのピン(ピン9)に接触しているPC基板のメタル量によって変化する。 θ_{JA} は、「アプリケーション情報」のセクションの熱抵抗の表に示したように、ピン9に接続される一定面積の1オンス銅のメタル・トレースに対して規定される。

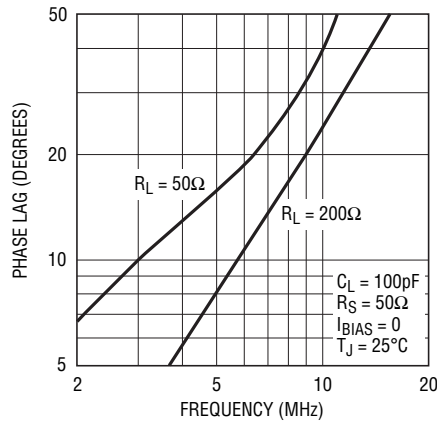
標準的性能特性

帯域幅



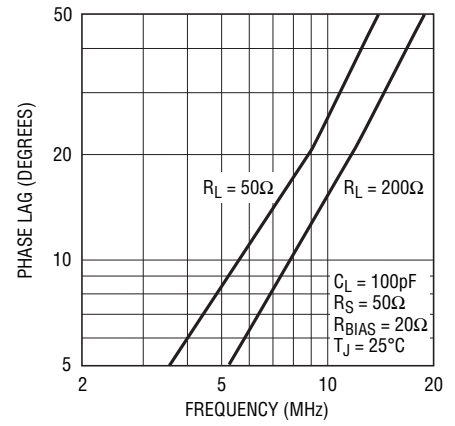
1010 G01

位相遅れ



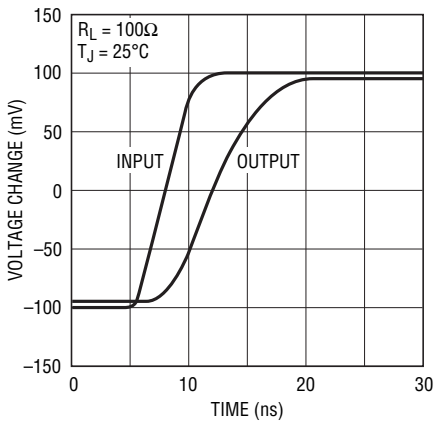
1010 G02

位相遅れ



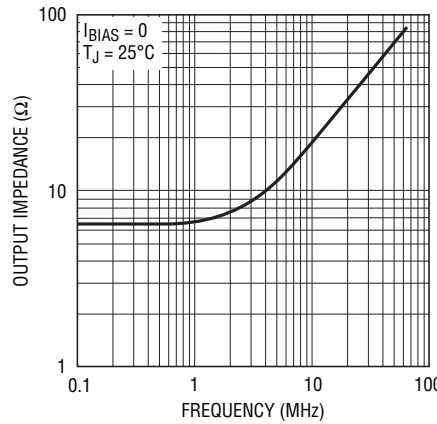
1010 G03

小ステップ応答



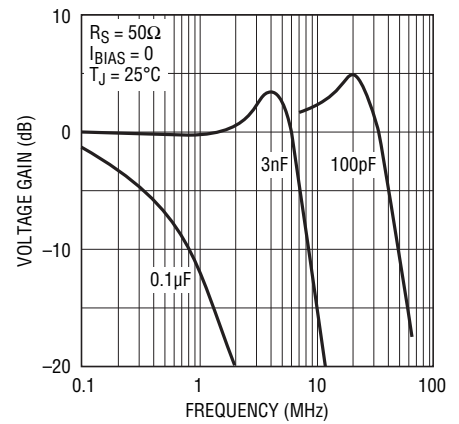
1010 G04

出力インピーダンス



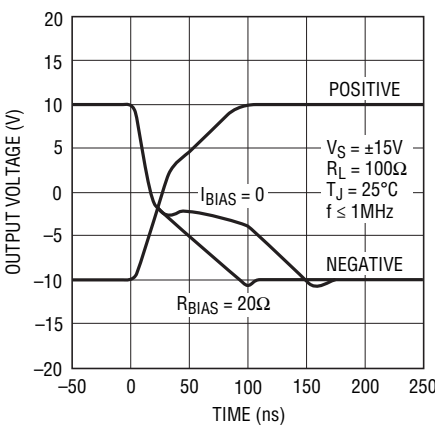
1010 G05

容量性負荷



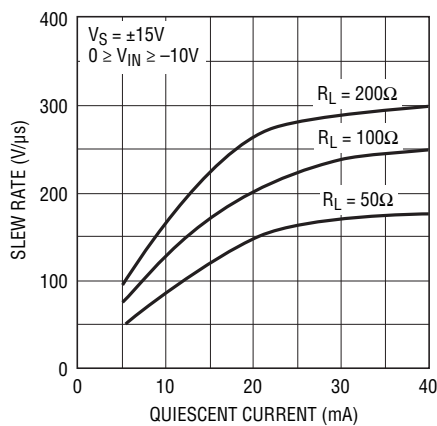
1010 G06

スルー応答



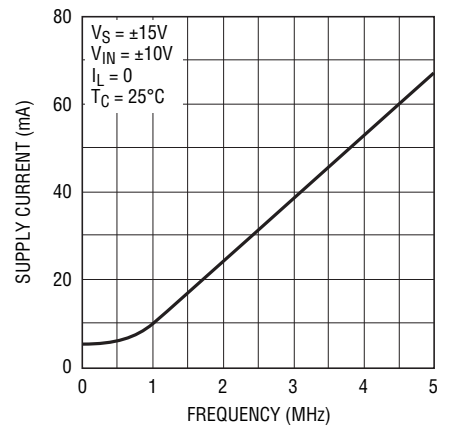
1010 G07

負のスルーレート



1010 G08

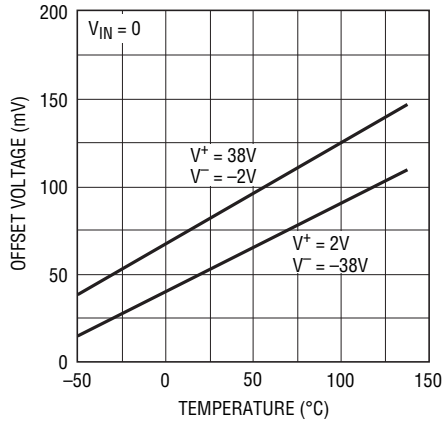
消費電流



1010 G09

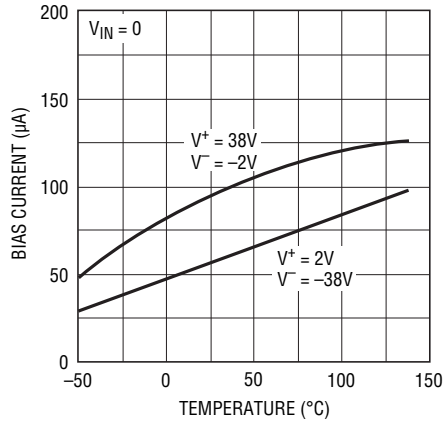
標準的性能特性

出力オフセット電圧



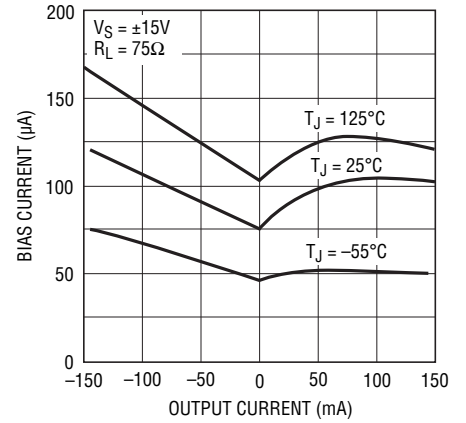
1010 G10

入力バイアス電流



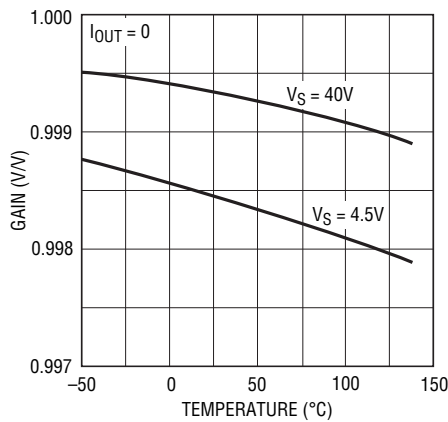
1010 G11

入力バイアス電流



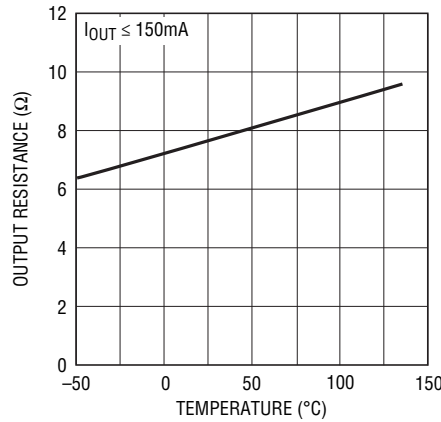
1010 G12

電圧利得



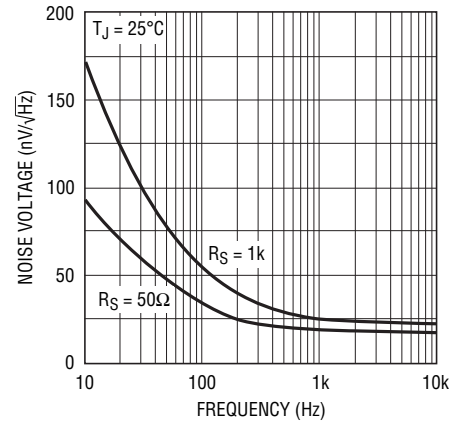
1010 G13

出力抵抗



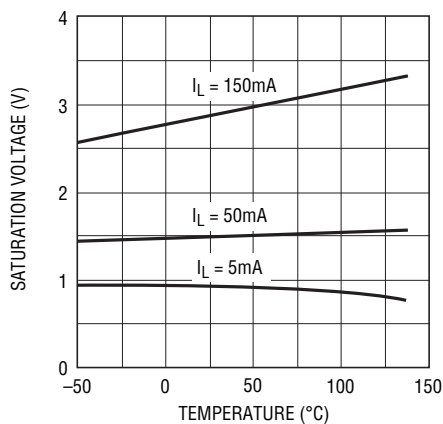
1010 G14

出力ノイズ電圧



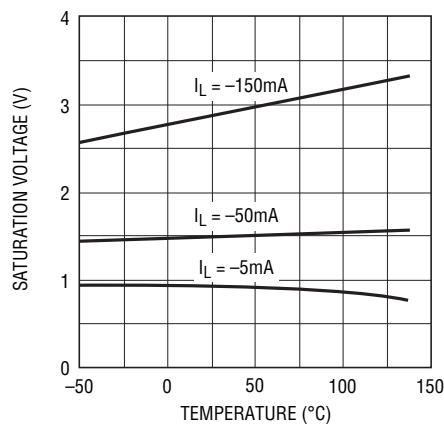
1010 G15

正の飽和電圧



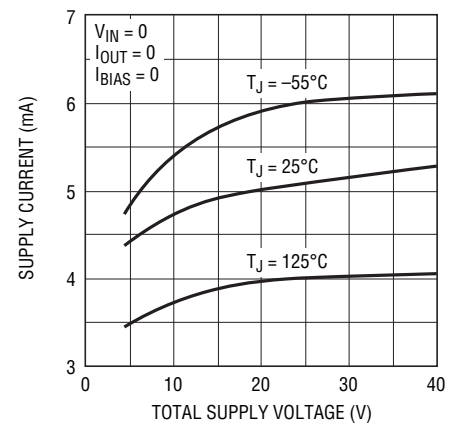
1010 G16

負の飽和電圧



1010 G17

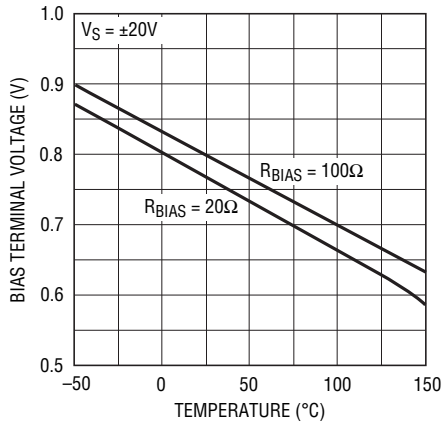
消費電流



1010 G18

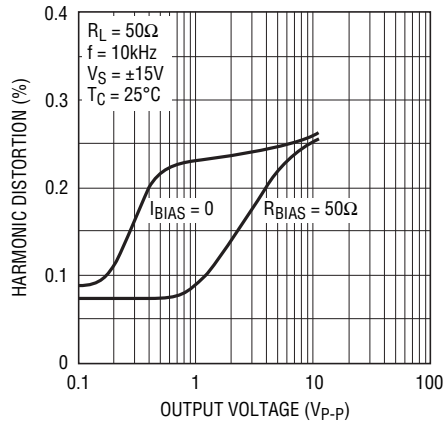
標準的性能特性

バイアス端子電圧



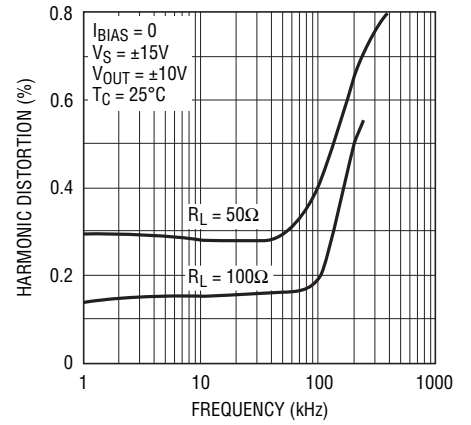
1010 G19

全高調波歪み



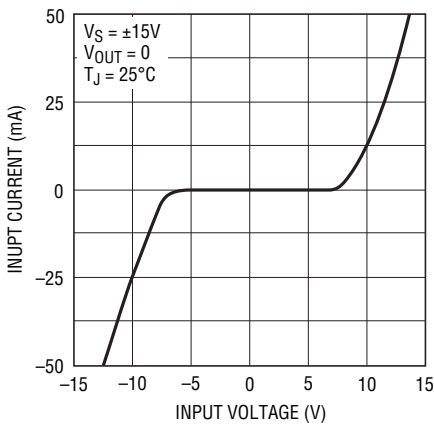
1010 G20

全高調波歪み



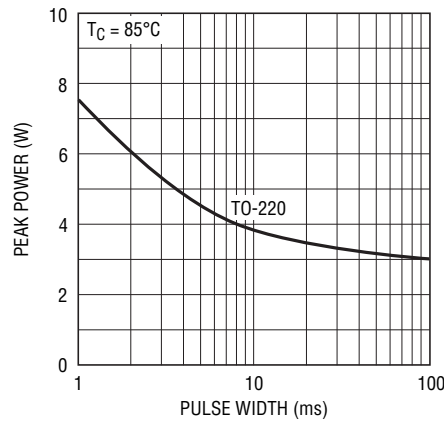
1010 G21

短絡入力特性



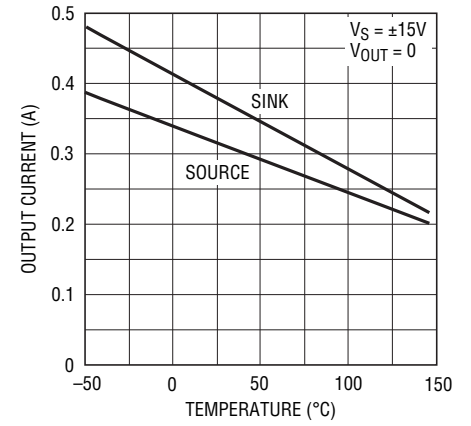
1010 G22

ピーク電力能力



1010 G23

ピーク出力電流



1010 G24

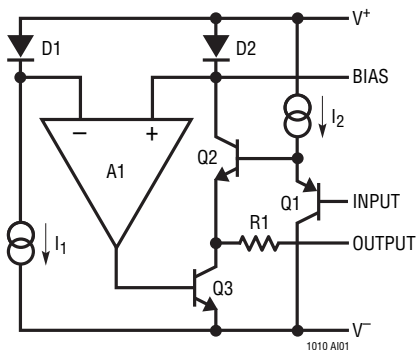
アプリケーション情報

概要

LT1010とその使用方法の概要を以下に示します。詳細な説明は他の資料に記載されています¹。ここでは、さまざまな条件でこの部品を使用したことで明らかになった、実用上の推奨事項について主に説明します。また、重い負荷をドライブする以外の用途にもこのバッファが役立つことを示す数々のアプリケーションの概略を述べます。

設計概念

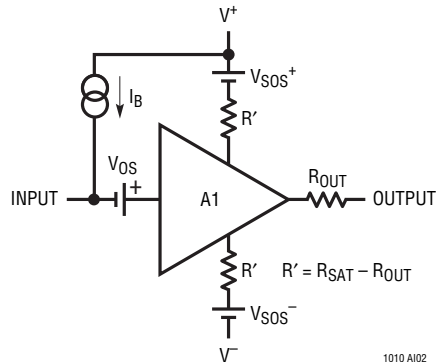
下記の回路図はバッファ設計の基本的な要素を示しています。オペアンプは、出力フォロワQ2のコレクタ電流が静止電流値(I₁とD1、D2の面積比で決まる)を下回らないように出力シンク・トランジスタQ3をドライブします。このため、Q3が負荷電流を供給している間も、高周波応答は基本的に単純なフォロワの特性を示します。内部帰還ループは出力ピンの小さな抵抗によって容量性負荷の影響から分離されています。



この方式は、シンク電流の立ち上がりレートが、ソース電流の立ち上がりレートより明らかに遅くなる点で理想的とは言えませんが、この現象は、バイアス端子とV⁺の間に抵抗を接続して静止電流を大きくすることで軽減できます。最終設計の特徴は、出力抵抗がフォロワの静止電流または出力負荷電流とはほぼ無関係であることです。出力は負電源レールまで振幅させることもでき、これは単一電源動作の場合に特に有利です。

等価回路

1MHz未満で動作させる場合、小信号および大信号動作のいずれにおいても、LT1010の動作は次に示す等価回路でかなり正確に表わすことができます。内部素子A1は、無負荷利得がLT1010の既定値である理想バッファです。それ以外、この素子のオフセット電圧、バイアス電流、出力抵抗はゼロです。また、その出力も内部電源端子まで飽和します²。



負荷のある場合の電圧利得は、無負荷利得A_v、出力抵抗R_{OUT}、負荷抵抗R_Lから、次の式によって計算できます。

$$A_{VL} = \frac{A_v R_L}{R_{OUT} + R_L}$$

正の最大出力振幅は、次の式で計算できます。

$$V_{OUT}^+ = \frac{(V^+ - V_{SOS}^+) R_L}{R_{SAT} + R_L}$$

この出力を得るには、次式で表わされる入力振幅が必要です。

$$V_{IN}^+ = V_{OUT}^+ \left(1 + \frac{R_{OUT}}{R_L} \right) - V_{OS} + \Delta V_{OS}$$

ここで、ΔV_{OS}は飽和測定に対して規定された100mVのクリッピングです。負の出力振幅および必要な入力ドライブ電圧も同様の方法で求めることができます。

電源バイパス

安定性に関する限り、このバッファが低速のオペアンプ以上に敏感に電源バイパスの影響を受けることはありません。低周波動作の場合、オペアンプに通常推奨される0.1μFのディスクリート・セラミック・コンデンサで十分です。ただし、一般的なオペアンプ設計と同様に、コンデンサの配線は短くし、特に高周波で動作させる場合はグラウンド・プレーンの使用を推奨します。

¹R. J. Widlar, "Unique IC Buffer Enhances Op Amp Designs; Tames Fast Amplifiers,"

Linear Technology Corp. TP-1, 1984年4月

²保証される制限値は「電気的特性」のセクションを参照。

アプリケーション情報

不適切な電源バイパスによりバッファのスルーレイトが低下する場合があります。出力電流の変化が100mA/μsを大幅に超える条件では、たとえ正電源と負電源間のバイパスで十分と考えられる場合でも、両方の電源に10μFの固体タンタル・コンデンサを接続しておくのが良いやり方です。

オペアンプおよび重い負荷(抵抗性または容量性)とともに使用する場合、バッファがオペアンプと共用する電源配線にカップリングし、ループ全体として安定性に問題を生じたり、セトリング時間が延びたりする可能性があります。適切なバイパスは、通常、10μFの固体タンタル・コンデンサによって得られます。デカップリング抵抗と組み合わせて、さらに小さなコンデンサを使用する方法もあります。オペアンプは一方の電源に対して、はるかに優れた高周波除去特性を持つ場合があります、このような電源に必要なバイパス容量は小さくなります。

電力損失

多くのアプリケーションで、LT1010にはヒートシンクが必要です。接合から静止空気への熱抵抗は、TO-220パッケージの場合は50°C/W、ミニDIPパッケージの場合は100°C/Wです。空冷、ヒートシンクの使用、プリント回路基板へのパッケージの実装によって熱抵抗は低減されます。

DC回路の場合、バッファの電力損失は簡単に計算できます。AC回路の場合は、信号の波形や負荷の特性によって電力損失が決まります。リアクティブ負荷では、ピーク電力損失が平均電力損失の数倍に達する場合があります。大きな負荷容量をドライブする場合は、電力損失の判定が特に重要です。

AC負荷では、電力が2つの出力トランジスタに分配されます。これによって接合からケースへの実効的な熱抵抗が低減され、2つの出力トランジスタのいずれもピーク定格を超えないならば、TO-220パッケージで3°C/Wになります。代表的なプロットは、1つの出力トランジスタのピーク電力消費能力を示しています。

過負荷保護

LT1010には瞬時電流制限および熱過負荷保護回路を搭載しています。バッファが制限なしに複雑な負荷をドライブできるようにフォールドバック電流制限は使用していません。このため連続定格を超えた電力を消費できます。

通常、熱過負荷保護回路が電力損失を制限し、損傷を防止します。ただし、導通状態の出力トランジスタに30Vを超える電圧がかかる場合は、熱制限回路の動作速度が不足するため、電流制限による保護を保証できません。導通状態の出力ト

ンジスタに40Vが印加される場合でも、負荷電流が150mAに制限されている限り熱保護回路は有効に機能します。

ドライブ・インピーダンス

容量性負荷をドライブする場合、高い周波数ではLT1010を低いソース・インピーダンスでドライブすることを推奨します。したがって、一部の低消費電力オペアンプ(LM10など)は、この点で十分なマージンがありません。発振を防ぐために、特に低温では何らかの配慮が必要になる場合があります。

バッファ入力を200pF以上でバイパスすることで、この問題は解決できます。動作電流を増加させることも有効です。

並列動作

並列動作は、出力インピーダンスの低減、ドライブ能力の強化、負荷が大きいときの周波数応答の改善につながります。出力抵抗とオフセット電圧の不整合による各ユニットの電力損失の増加に配慮しさえすれば、任意の数のバッファを直接並列接続できます。

2つのバッファの入力および出力を接続する場合、出力間を流れる電流 ΔI_{OUT} は、次の式で表わされます。

$$\Delta I_{OUT} = \frac{V_{OS1} - V_{OS2}}{R_{OUT1} + R_{OUT2}}$$

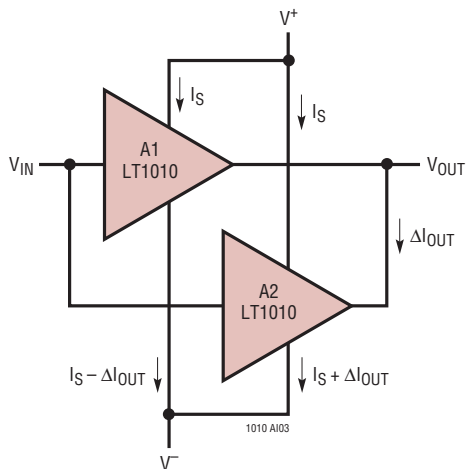
ここに、 V_{OS} および R_{OUT} は、それぞれ対応するバッファのオフセット電圧と出力抵抗です。

通常、負電源の電流が一方のユニットで増加し、他方で減少します。正電源の電流は変化しません。ワーストケース($V_{IN} \rightarrow V^+$)におけるスタンバイ電力損失の増加は、 $\Delta I_{OUT} V_T$ によって推定できます。 V_T は全電源電圧です。

オフセット電圧は、電源電圧、入力電圧、温度に対してワーストケースが規定されています。並列接続されたユニットは、まったく同一の条件で動作するため、上式にこれらのワーストケース値を適用するのは現実的ではありません。オフセット電圧のワーストケース条件としては、 $V_S = \pm 15V$ 、 $V_{IN} = 0V$ 、 $T_A = 25^\circ C$ で規定される値で十分です。

出力負荷電流は、各バッファの出力抵抗に基づいて分割されます。したがって、両者の出力抵抗が一致しない限り、得られる出力電流がちょうど2倍になることはありません。オフセット電圧のワーストケースの計算には25°Cの制限値を使用する必要があります。

アプリケーション情報



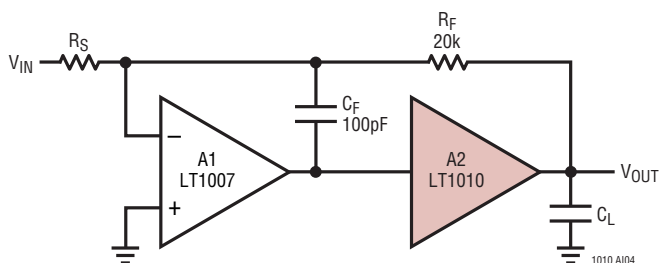
並列接続によって動作が熱的に不安定になることはありません。並列接続されたバッファの一方がもう一方よりも高温になったとしても、そのバッファの出力およびスタンバイの電力損失が減少します。

実用上は、並列接続した場合のヒートシンクに関する留意点が若干増えるだけです。アプリケーションによっては、各出力に数オームの等化抵抗を接続するとよい場合があります。整合が必要となるのは最も要求の厳しいアプリケーションの場合だけです。その場合も、25°Cにおける出力抵抗だけを整合させれば十分です。

容量性負荷の分離

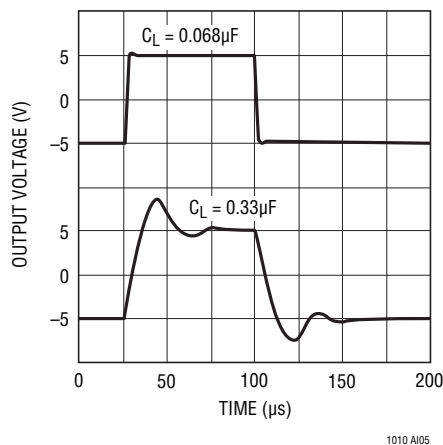
下記の反転アンプの回路に、容量性負荷を分離するための推奨方法を示してあります。非反転アンプの場合も同様に対処できます。

バッファが帰還ループ内にあるため、低周波数ではオフセット電圧や利得の誤差は無視できます。高周波数では、 C_F を介して帰還がかかるため、バッファの出力抵抗に影響を与える負荷容量による位相シフトがループを不安定にすることはありません。

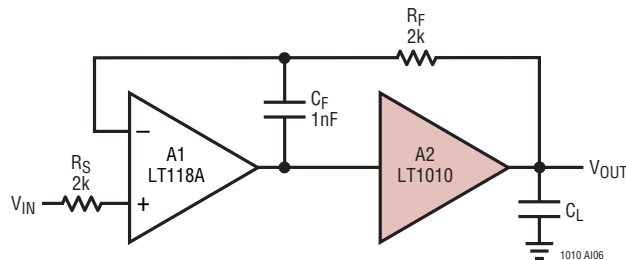


安定性は、 $R_F C_F$ 時定数または閉ループ帯域幅によって決まります。帯域幅が80kHzの場合のリングングは、 $C_L=0.068\mu F$ では無視でき、 $C_L=0.33\mu F$ では急激に減衰します。グラフにパルス応答を示します。

パルス応答



C_F によって小信号の帯域幅は減少するもののパワー帯域幅を下回ることなく、顕著な分離特性が得られます。多くの場合、帯域幅の減少は、むしろ高周波ノイズまたは不要な信号をフィルタリングするため有益です。



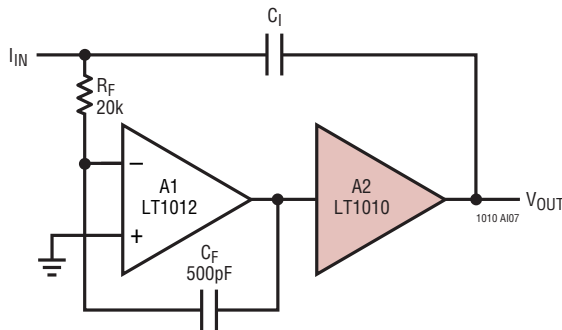
フォロワ構成の特長は、小信号帯域幅を減少させることなく容量性負荷を分離できることです。ただし、高周波数ではバッファの出力インピーダンスの影響が現われます。上記の高精度ユニティ・ゲイン・バッファの帯域幅は、容量性負荷を接続しない場合は10MHzですが、最大0.3μFを超えるまであらゆる負荷容量で安定した動作が得られます。この場合の安定性も $R_F C_F$ によって決まります。

この回路は、出力バッファの適用によって、高速オペアンプがいに使いやすくなるかを示す良い例です。

アプリケーション情報

積分器

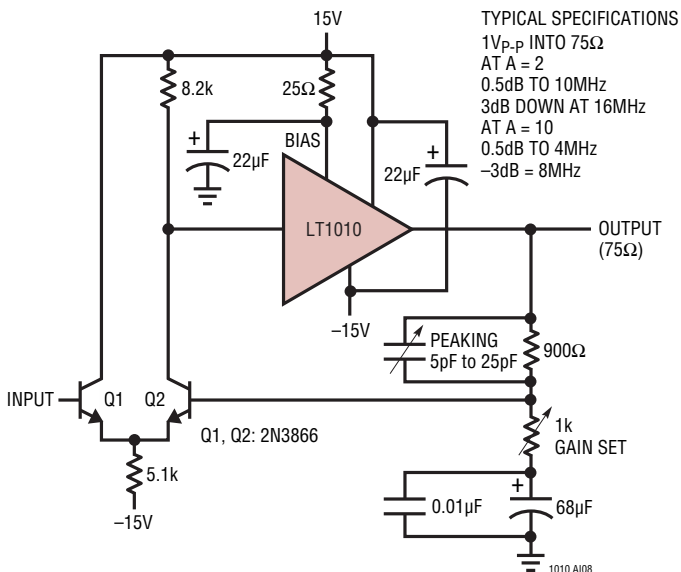
ローパス・アンプは前述のインバータの C_F を大きくするだけで構成できます。ただし、カットオフ周波数より上で増加する閉ループ出力インピーダンスが問題にならず、オペアンプが加算点に必要な電流を供給できるという前提が満たされる場合に限りま



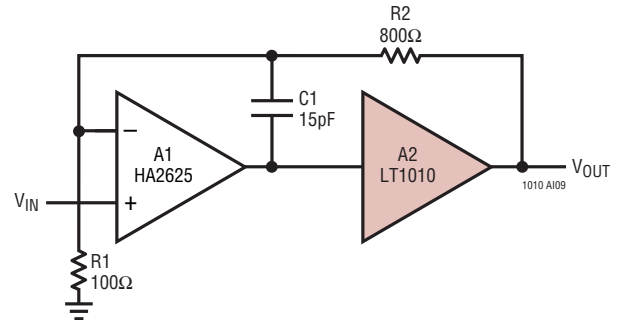
積分コンデンサをバッファ出力からドライブする必要がある場合、上記の回路を使って容量性負荷を分離できます。先の例と同様に、大きな容量性負荷に対する安定性は $R_F C_F$ によって決まります。

広帯域アンプ

この簡単な回路によって、75Ω出力を1V_{P-P}までドライブする利得調整可能なビデオ・アンプを実現できます。利得は差動対で決まり、LT1010は出力段として機能します。帰還は従来方式で構成されています。ただし、68μFと0.01μFの容量の組み合わせによって、全ての利得設定でDC利得が1に制限さ



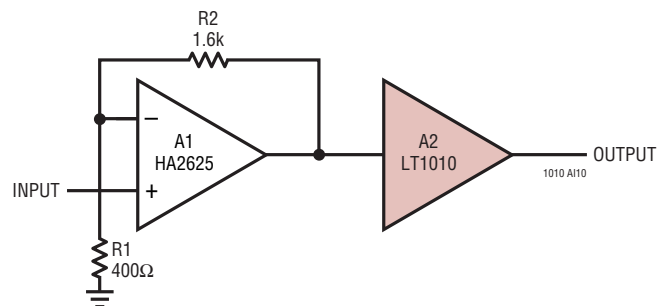
れます。NTSCの要件への準拠を重視するアプリケーションでは、25Ωを介した出力段バイアスの値を小さくすると性能が向上します。



これはユニティ・ゲイン安定ではない広帯域アンプとバッファを併用した例です。この場合、大きな容量性負荷を分離するためにC1は使用できず、C1は負荷容量の限られた範囲に対して最適値を取ります。

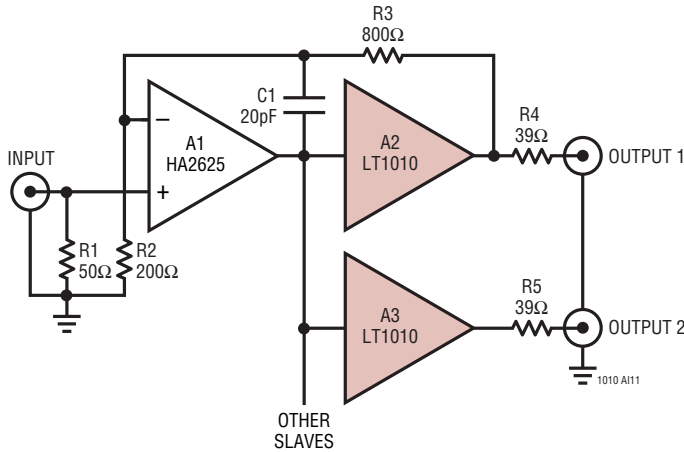
このような回路では、バッファが安定性に問題を及ぼす場合があります。TO-220パッケージの場合、バイアス端子とV⁺間の20Ω抵抗によって静止電流を増加させることで動作を改善できます。ミニDIPのデバイスの場合は、並列動作によって改善する方法もあります。

高周波数ではバッファをA級動作させることによって容量性負荷の安定性を改善できます。これには静止電流をブーストし、0.02μFより大きな容量によってバイアス端子とV⁻の間をバイパスします。



上記の回路のようにバッファを帰還ループの外に配置することで、大容量の出力コンデンサが帯域幅を狭めるだけで、容量性負荷を分離できます。オペアンプ入力を基準としたバッファのオフセットは、利得分の1に低減されます。負荷抵抗が既知の場合、利得誤差は出力抵抗の許容差から判断できます。歪みは低く抑えられます。

アプリケーション情報



上記の50Ωビデオ・ライン・スプリッタは、一方のバッファに帰還をかけ、もう一方をスレーブとして使用します。スレーブのオフセットおよび利得の精度は、マスタとの整合性に依存します。

長いケーブルをドライブする場合、出力に直列抵抗を挿入することを検討してください。この抵抗によって利得は低下しますが、共振負荷となる終端していないラインの影響から帰還アンプを分離できます。

広帯域アンプを使用する場合は常に、電源バイパス、浮遊容量、配線長を短くすることに対して特別な配慮が必要です。妥当な測定結果を得るには、テスト・プローブを通常のグランド・ピンではなく直接接地することが不可欠です。

LT1010には、標準仕様には明記されていないスルーレートの制限があります。負のスルーレートはグリッチの影響を受ける

可能性があります。これは静止電流ブーストによって最小化できます。高速に信号を立ち上げるシグナル・ジェネレータでは常に実際のアプリケーションよりも特性が悪く見えます。

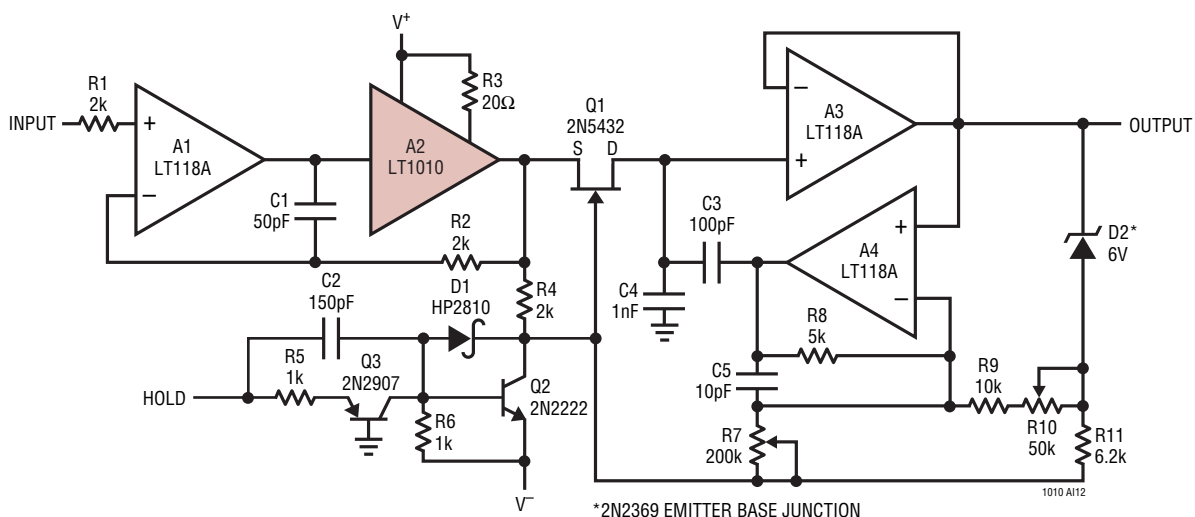
トラック・アンド・ホールド

ここに示した5MHzのトラック・アンド・ホールド回路はパワー帯域幅400kHzで±10Vをドライブします。バッファ付き入力フォロワが、低抵抗のFETスイッチQ1を介してホールド・コンデンサC4をドライブします。正のホールド・コマンドは、TTLロジックによって与えられ、Q3がスイッチ・ドライバQ2へレベルをシフトさせます。A3は出力バッファです。

ホールドするためにゲートがV₊にドライブされると、ホールド・コンデンサから電荷が引き抜かれます。補償する電荷はC3からホールド・コンデンサに供給されます。ホールドへのステップはR7によって入力レベルとは独立して設定され、R10によってゼロに調整されます。

高速の信号で容量性負荷をドライブする場合、内部の電力損失がきわめて高くなる可能性があるため、パワー・パッケージに封止されたバッファの使用を推奨します。R3によってバッファの静止電流を40mAに増加させることで周波数応答が改善します。

この回路は、高速のデータ収集サンプル・アンド・ホールド回路としても使用できます。ホールドのドリフトを低減するためにA3にはLT1056を使用することを推奨します。このバッファはスルーレートが小さく、通常このアプリケーションでは問題を起こさないからです。

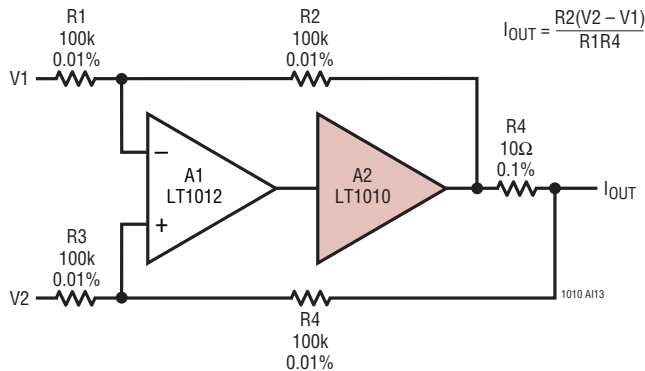


*2N2369 EMITTER BASE JUNCTION

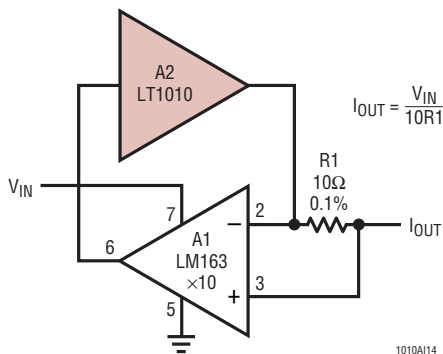
アプリケーション情報

電流源

出力電流を増加させるためにバッファを使用した、オペアンプによる標準的な電圧-電流コンバータを示します。通常のとおり、出力抵抗を大きくするには、帰還抵抗を適切に整合させる必要があります。出力は双方向です。



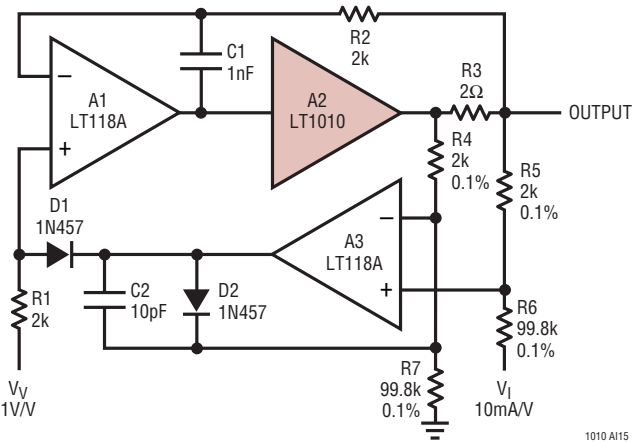
この回路では、整合抵抗を不要とするために計装アンプを使用しています。入力が高インピーダンスではないため、オペアンプのような低インピーダンスのソースによってドライブする必要があります。出力検出を反転するにはLM163のピン7を接地し、ピン5をドライブします。



いずれの回路でも数メガオームの出力抵抗が得られます。±150mAの出力能力を考えると、この値は非常に優秀です。高周波数の出力特性は、アンプの帯域幅とスルーレートで決まります。これらの回路はいずれも約30nFの等価出力容量を持ちます。

電圧/電流レギュレータ

この回路は、負荷電流がV_Iによってプログラムされた値になるように、出力電圧V_Vを制御します。重い負荷に対しては高精度の電流レギュレータとして機能します。



出力電流が電流制限よりも小さい場合、電流レギュレータはD1によってループから切り離されます。この間、D2が出力の飽和を防ぎます。瞬間的な短絡が発生した場合も、この出力クランプ機能のおかげで電流レギュレータはマイクロ秒以内に、バッファの電流制限から出力電流の制御を引き継ぐことができます。

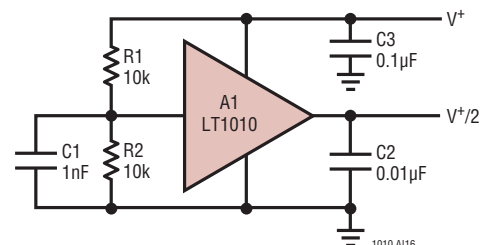
電圧レギュレータ・モードの場合、A1とA2は前述の容量性負荷分離の手法を用いた、高速の電圧フォロワとして動作します。負荷トランジェントからの回復特性や容量性負荷の安定性はC1によって決まります。回路短絡からはクリーンに復帰できます。

A3に対して相補的なオペアンプをもう1つ追加すれば双方向の電流制限が可能になります。

電源スプリッタ

電源電圧の半分のレベルに仮想グラウンドを設けることで、2電源のオペアンプやコンパレータを単一電源で動作させることができます。ここに示した電源スプリッタは150mAの電流をソースまたはシンクできます。

出力コンデンサC2は、電流トランジェントを吸収するために必要なだけ大きな値に設定できます。ソース・インピーダンスが



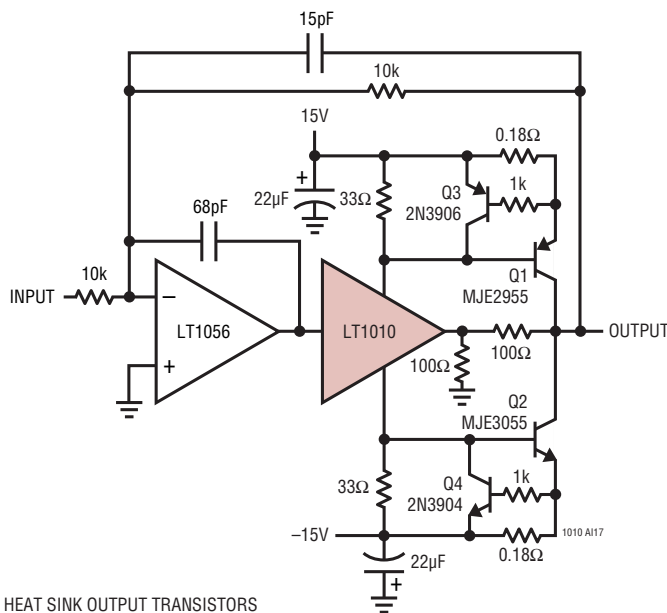
アプリケーション情報

高いことで発生する可能性がある高周波数での不安定性を予防するために、バッファに入力コンデンサも使用しています。

高電流ブースタ

下記の回路は、3Aの出力電流を得るためにディスクリート出力段を使用しています。ここに示した構成は、LT1010の出力電力をクリーンかつ簡単に増加させることができます。ディスク・ドライブのリニア・アクチュエータ・コイルのような高電流負荷に適しています。

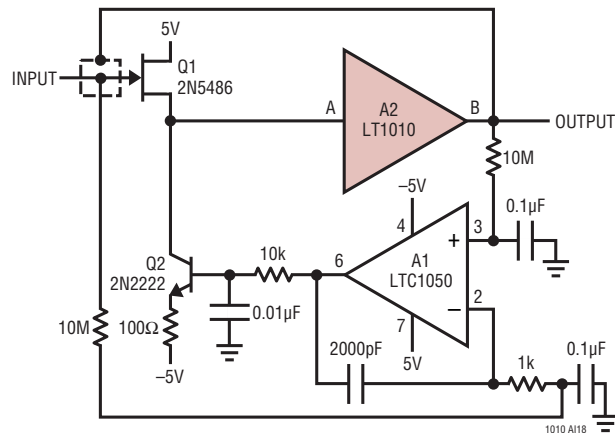
33Ωの抵抗がLT1010の消費電流を検出し、接地された100Ωの抵抗がLT1010の負荷になります。33Ωの抵抗に生じる電圧降下によってQ1とQ2をバイアスします。もう1つの100Ω抵抗がローカル帰還ループを閉じ、出力段を安定化します。制御アンプLT1056への帰還は10kΩの抵抗を介して戻されます。Q3とQ4が0.18Ωの抵抗ユニットの電圧降下を検出し、約3.3Aの電流制限を実現します。



HEAT SINK OUTPUT TRANSISTORS

広帯域FET入力安定化バッファ

下図は、高速で高入力インピーダンスの、非常に安定したユニティ・ゲイン・バッファです。Q1とQ2によって、簡素で高速なFET入力バッファが構成されます。Q1はソース・フォロワとして動作し、Q2が電流ソース負荷としてドレイン・ソース間のチャンネル電流を設定します。LT1010バッファは、ケーブルその他の必要な負荷に対するドライブ能力を提供します。通常、このような開ループ構成はDC帰還がないためドリフトが発生しやすくなりますが、LTC®1050が帰還機能を果たし、回路を安



定化します。安定化は、フィルタした回路出力を同様にフィルタ処理した入力信号と比較することで実現します。これらの信号間の差を増幅してQ2のバイアス設定、ひいてはQ1のチャンネル電流の設定に使用します。これによって、Q1のV_{GS}を、回路の入力電位と出力電位を一致させるのに必要な電圧に強制的に設定します。A1に接続された2000pFのコンデンサはループ安定化のための補償容量です。A1の出力のRCネットワークは、同出力にQ2のコレクタ-ベース接合を介して高速エッジがカップリングするのを防止します。A2の出力はQ1のゲート配線を囲むシールドに帰還され、回路の実効的な入力容量を1pF未満になるようにブートストラップします。

利得調整可能な広帯域FETアンプ

前述の回路に伴う潜在的な欠点は、利得が厳密には1にならないことです。次のページの図Aの回路は高速、低バイアスを維持したまま、真のユニティ・ゲイン伝達関数を実現します。

この回路はQ2～Q3段が利得を決める点を除き、ある程度前述の回路に類似しています。A2が入力-出力パスをDC的に安定させ、A1がドライブ能力を提供します。A1の出力はQ2のエミッタに帰還します。1kΩの可変抵抗によって利得を高精度に1に設定できます。LT1010によって出力段のスルーレートは100V/μs、フルパワー帯域幅(1V_{p-p})は10MHzになります。-3dB帯域幅は35MHzを超えます。A=10(例えば、1k可変抵抗を50Ωに設定した場合)では、フルパワー帯域幅は10MHzのままで、-3dBポイントが22MHzまで低下します。

オプションのディスクリート出力段を使用すると、スルーレートは1000V/μsを超え、フルパワー帯域幅(1V_{p-p})は18MHzになります。-3dB帯域幅は58MHzです。A=10では、フルパワー帯域幅を10MHz、-3dBポイントを36MHzにすることができます。

LT1010

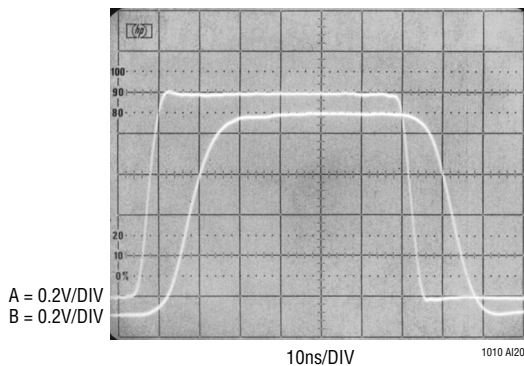
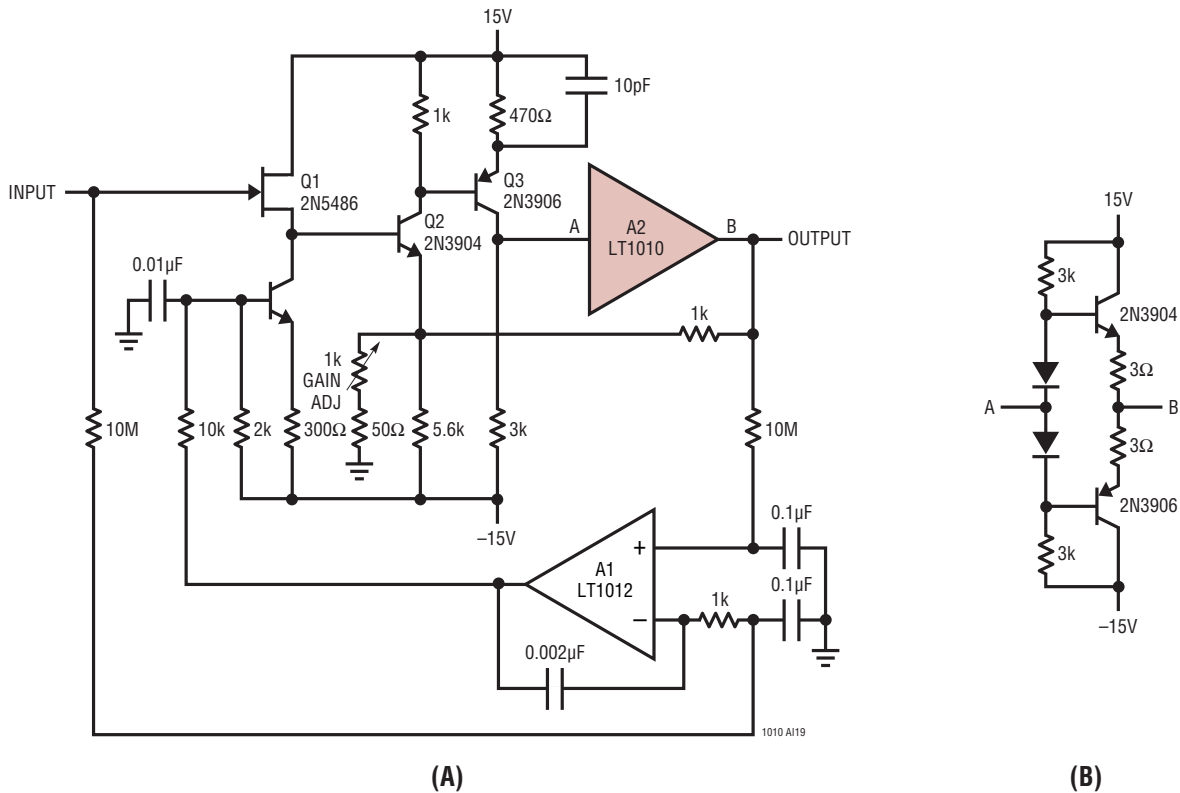
アプリケーション情報

図Aと図Bは、両出力段の応答特性です。図AはLT1010を使用した場合です(波形A=入力、波形B=出力)。図Bではディスクリート出力段を使用し、若干高速です。いずれの出力段も、ビデオ・ケーブルまたはデータ・コンバータをドライブするのに十分すぎる性能を示しています。また、LT1012はあらゆる条件でDC安定性を維持しています。

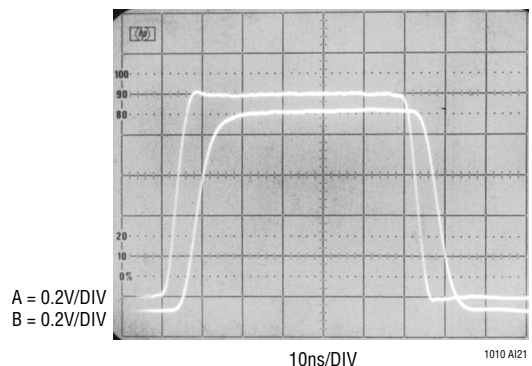
ミニDIPパッケージの熱的検討事項

ミニDIPパッケージは大電力消費を前提に設計されていないため、熱的に特別な検討が必要です。大きな出力電流が必要なアプリケーションでは他のパッケージを使用する必要があります。ことに注意してください。

利得調整可能な広帯域FETアンプ



図A. LT1010を用いた波形



図B. ディスクリート出力段を用いた波形

アプリケーション情報

ミニDIPパッケージの一般的な熱計算について以下に詳述します。

LT1010を±15Vで動作させた場合、消費電流は4.8mAとなるため(電源電圧30V、50°Cの標準値 — 消費電流のグラフ参照)、このデバイスの電力損失 P_D は次のように計算されます。

$$(30V)(0.0048A) = 0.144W$$

接合の温度上昇は次のように計算されます。

$$(0.144W)(100^\circ\text{C/W} \text{ — これはNパッケージの}\theta_{JA}\text{です}) \\ = 14.4^\circ\text{C}$$

つまり、周囲温度50°Cで負荷に電流を一切供給していない場合に接合温度は次の値になります。

$$14.4^\circ\text{C} + 50^\circ\text{C} = 64.4^\circ\text{C}$$

LT1010を±15Vの電源で動作させ、200Ω負荷をDC 8Vにドライブする場合、LT1010の電力損失 P_D は次式で計算されます。

$$P_D = \frac{(V^+ - V_{OUT})(V_{OUT})}{R_L} \\ = \frac{(15V - 8V)(8V)}{200\Omega} = 0.280W$$

この場合、LT1010の接合温度は更に(0.280W)(100°C/W) = 28°Cだけ上昇します。

つまり、接合の温度は64.4°C + 28°C = 92.4°Cまで上昇します。

1MHz動作の例は、N(またはミニDIP)パッケージのさらなる制約を示します。±15V動作の場合:

$$1\text{MHz}^* \text{動作で } I_L = 0 \text{ の場合の } P_D = (10\text{mA})(30V) = 0.30W$$

この電力消費によって接合は50°C(この例の周囲温度)から50°C + (0.3W)(100°C/W) = 80°Cまで加熱されます。200Ω負荷に対して1MHz信号を2V_{RMS}でドライブした場合は、更に次式で計算される電力:

$$P_D = \left(\frac{2V}{200\Omega}\right) \cdot (15 - 2) = 0.130W$$

が消費され、接合温度は更に(0.130W)(100°C/W) = 13°C上昇して、80°C + 13°C = 93°Cになります。

DFNパッケージの熱抵抗

表面実装デバイスの場合、PC基板とその銅トレースの熱拡散能力を利用してヒートシンクを実現します。パワー・デバイスが発生する熱を拡散するのに、銅硬化材とメッキ・スルーホールを利用することもできます。

いくつかの異なった基板寸法と銅面積に対する熱抵抗を以下の表に示します。いずれも1オンス銅の3/32" FR-4基板上の静止空気の条件で測定した値です。

表1. DFNの熱抵抗測定値

銅面積		基板面積	熱抵抗 (接合部-周囲間)
表面	裏面		
2500平方mm	2500平方mm	2500平方mm	40°C/W
1000平方mm	2500平方mm	2500平方mm	45°C/W
225平方mm	2500平方mm	2500平方mm	50°C/W
100平方mm	2500平方mm	2500平方mm	62°C/W

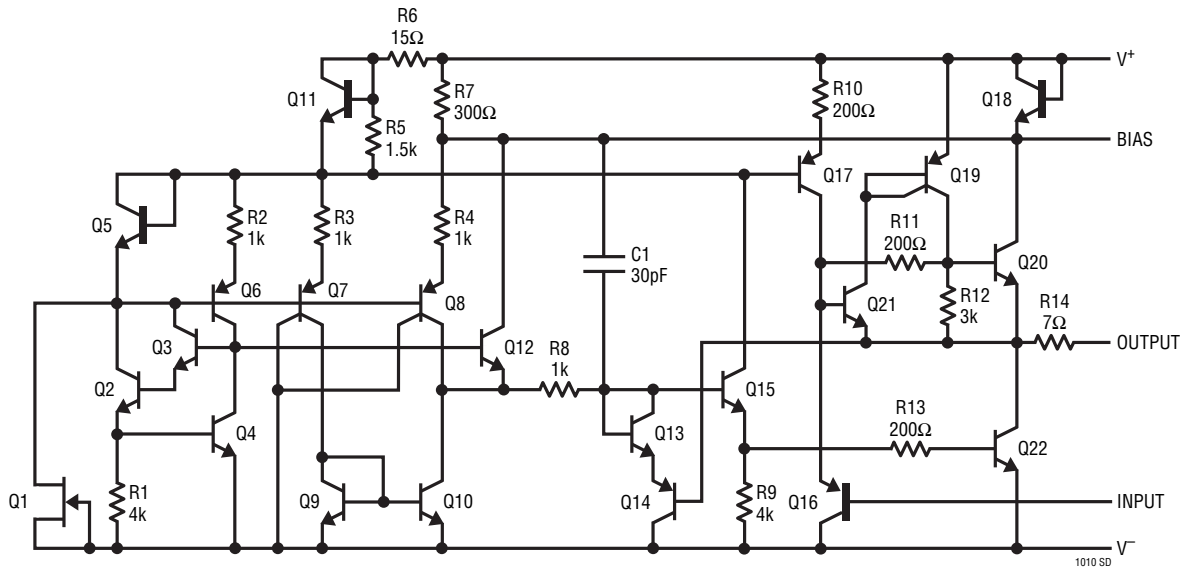
DFNパッケージの場合、ダイ裏面の露出パッドで測定した接合-ケース間熱抵抗(θ_{JC})は7.5°C/Wです。

熱的な制約から、最大電源電圧かつ最大負荷電流による連続動作は実際的ではありません。最大電源電圧であっても、過渡的な動作ならば可能です。2500平方mmの3/32" FR-4基板を使用し、1オンスの銅を表面と裏面で最大面積使用した場合の熱時定数は約3秒です。この時定数は熱質量が増えると(ビアの追加、基板面積の増加、その他の要因)増加します。

過渡的な電力ピークが大きいアプリケーションの場合、接合温度は平均電力損失を用いて計算できます。ただし、デバイスと基板の熱時定数に対してパルス期間が大幅に短い場合に限りです。

*消費電流対周波数のグラフを参照

回路図 (保護回路を除く)



用語の定義

出力オフセット電圧: 入力を接地して測定した出力電圧 (両電源動作)

入力バイアス電流: 入力端子からの電流

大信号電圧利得: 規定された入力電圧範囲における、入力電圧変化に対する出力電圧変化の割合*

出力抵抗: 負荷電流の変化に対する、この変化によって発生する出力電圧の変化の割合*

出力飽和電圧: 出力が制限値まで振幅したときの電圧と、その振幅側の電源レールとの間の電圧

飽和オフセット電圧: 無負荷時の出力飽和電圧

飽和抵抗: 無負荷から最大負荷に移行したときの電流変化に対する、この電流変化によって生じる出力飽和電圧の変化の割合*

スルーレート: 規定された制限値間で入力が遷移したときに、出力電圧が規定された出力範囲にわたって変化する平均時間レート

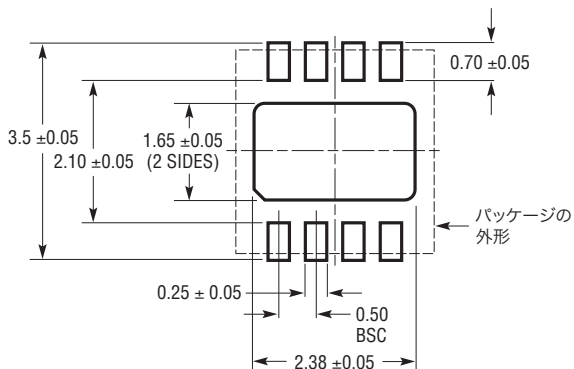
バイアス端子電圧: バイアス端子と V+ 間の電圧

消費電流: 出力負荷がない状態での、いずれかの電源端子における電流

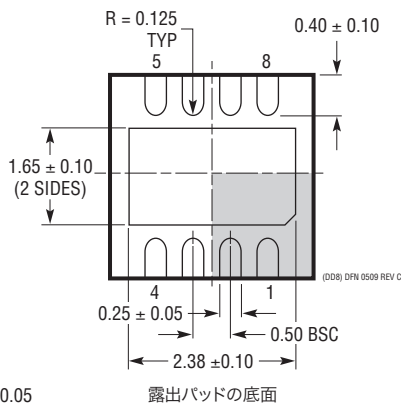
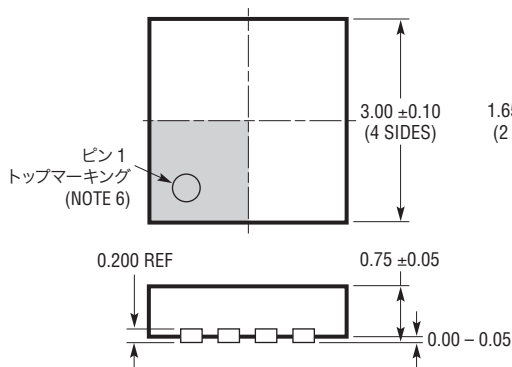
* 熱的効果を最小限に抑えるためにパルス測定 (~1ms) が必要

パッケージ寸法

DD パッケージ
 8ピン・プラスチック DFN (3mm×3mm)
 (Reference LTC DWG # 05-08-1698 Rev C)



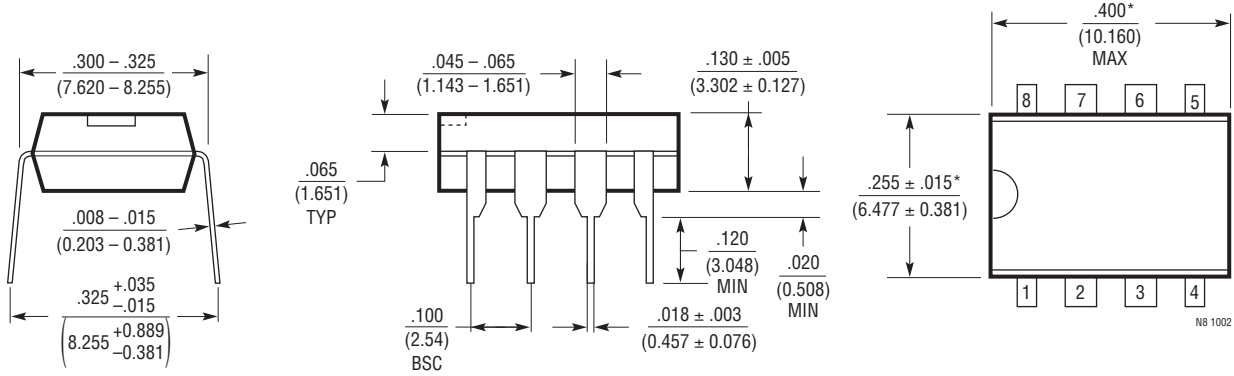
推奨する半田パッドのピッチと寸法
 半田付けされない領域には半田マスクを使用する



- NOTE:
1. 図は JEDEC のパッケージ外形 MO-229 のバリエーション (WEED-1) になる予定
 2. 図は実寸とは異なる
 3. 全ての寸法はミリメートル
 4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。
モールドのバリは (もしあれば) 各サイドで 0.15mm を超えないこと
 5. 露出パッドは半田メッキとする
 6. 網掛けの部分はパッケージのトップとボトムのパイン 1 の位置の参考に過ぎない

パッケージ寸法

N8パッケージ 8ピンPDIP(細型0.300インチ) (Reference LTC DWG # 05-08-1510)

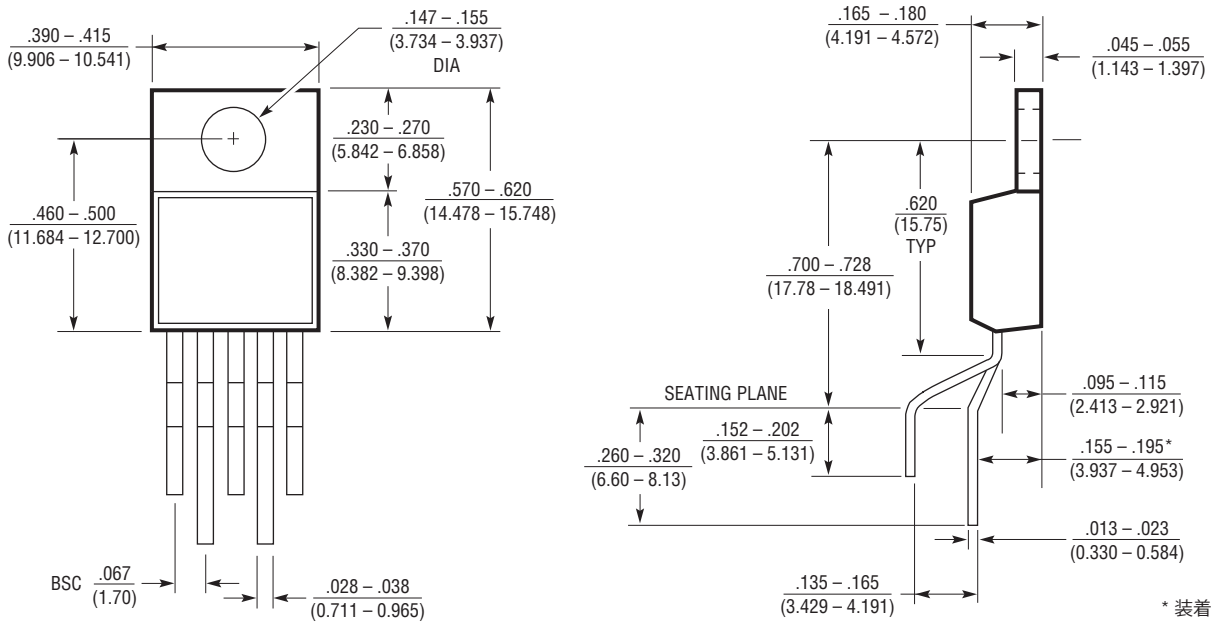


NOTE:

1. 寸法は $\frac{\text{インチ}}{\text{ミリメートル}}$

* これらの寸法にはモールドのバリまたは突出部を含まない。
 モールドのバリまたは突出部は $0.010^*(0.254\text{mm})$ を超えないこと

Tパッケージ 5ピン・プラスチックTO-220(標準) (Reference LTC DWG # 05-08-1421)



* 装着面で測定
 T5 (TO-220) 0801

改訂履歴 (改訂履歴は Rev E から開始)

REV	日付	概要	頁番号
E	5/11	「絶対最大定格」および「ピン配置」のセクションの温度範囲と値を改訂。 「電気的特性」のセクションの Note 2 および 4 を改訂。 「アプリケーション情報」の「電力損失」、「ミニ DIP パッケージの熱的検討事項」「DFN パッケージの熱抵抗」のセクションに記載された温度の値を更新	2 3 8, 15

LT1010

関連製品

製品番号	説明	注釈
LT1206	250mA/60MHz 電流帰還アンプ	900V/ μ s、優れたビデオ特性
LT1210	1.1A/35MHz 電流帰還アンプ	スルーレート900V/ μ s、大きな容量性負荷に対して安定した動作
LT1795	デュアル 500mA/50MHz 電流帰還アンプ	I _{OUT} =500mA の ADSL ドライバ
LT1886	700MHz/200mA のデュアル・オペアンプ	DSL ドライバ